

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-333576

(43)Date of publication of application : 22.12.1995

(51)Int.Cl.

G02F 1/133

G02F 1/133

G02F 1/136

G09G 3/36

H01L 29/786

(21)Application number : 06-127450

(71)Applicant : MITSUBISHI ELECTRIC CORP  
ASAHI GLASS CO LTD

(22)Date of filing : 09.06.1994

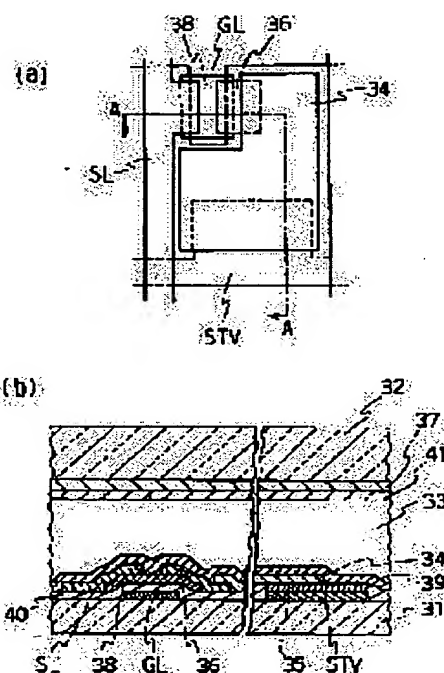
(72)Inventor : TAKAHASHI MORIYOSHI  
ONO KOJI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF DRIVING THE SAME

## (57)Abstract:

PURPOSE: To provide an LCD and a method of driving it preventing the occurrence of a display defect based on burning and a flicker, etc., when a DC voltage is applied to a liquid crystal layer even using a halftone display method by a gradation voltage selection system.

CONSTITUTION: This device is the LCD holding a liquid crystal material 33 by a first insulation property transparent substrate 31 between them in which a TFT is provided at every pixel, and a pixel electrode 34 is connected to the drain electrode 36 of the TFT and provided with an auxiliary capacity electrode STV opposing to the pixel electrode 34 through a dielectric film 35 and forming auxiliary capacity and a second insulation property transparent substrate 32 provided with a counter electrode 37, and the auxiliary capacity is made variable capacity whose capacitance value is varied depending on an applied voltage. Further, the method of driving it is constituted so that a central voltage of plural AC voltages with amplitudes different from each other becoming a structural element of an AC gradation voltage signal impressed to respective pixels is set to a value different from each other at every AC voltage.



## LEGAL STATUS

[Date of request for examination] 19.05.2000

[Date of sending the examiner's decision of rejection] 09.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3366437

[Date of registration] 01.11.2002

[Number of appeal against examiner's decision of rejection] 2002-08020

[Date of requesting appeal against examiner's decision of rejection] 08.05.2002

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-333576

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 2 5			
	5 7 5			
1/136	5 0 0			
G 0 9 G 3/36				
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く				

(21) 出願番号 特願平6-127450

(22) 出願日 平成6年(1994)6月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 000000044

旭硝子株式会社

東京都千代田区丸の内2丁目1番2号

(72) 発明者 高橋 盛毅

熊本県菊池郡西合志町御代志997番地 株式会社アドバンス・ディスプレイ内

(72) 発明者 大野 幸治

熊本県菊池郡西合志町御代志997番地 株式会社アドバンス・ディスプレイ内

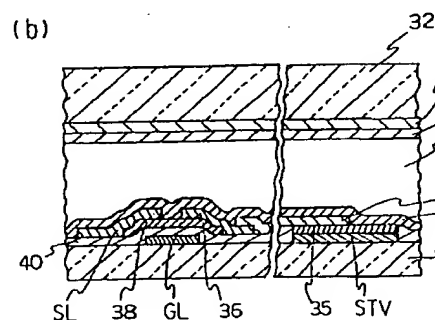
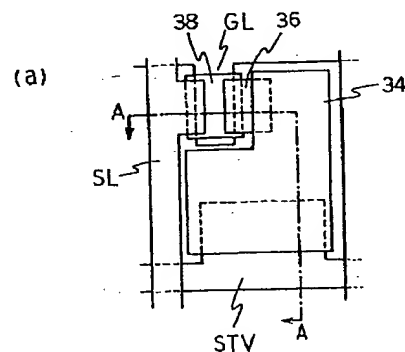
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 液晶表示装置およびその駆動方法

## (57) 【要約】

【目的】 階調電圧選択方式による中間表示法を用いても、液晶層に直流電圧が印加されて焼きつけやフリッカなどに基づく表示不良の発生を防止するLCDおよびその駆動方法を提供する。

【構成】 画素ごとにTFTが備えられ、TFTのドレイン電極36に画素電極34が接続され、画素電極と誘電体膜35を介して対向し補助容量を形成する補助容量電極STVが設けられた第1の絶縁性透明基板31と、対向電極が設けられた第2の絶縁性透明基板32により液晶材料33が挟持されたLCDであって、該補助容量が印加電圧に依存して容量値の変化する可変容量にされている。また駆動方法は、画素ごとにTFTが備えられた液晶表示装置に対して、前記各画素に印加される交流階調電圧信号の構成要素となる、振幅の異なる複数の交流電圧の中心電圧が、前記交流電圧ごとに異なる値に設定される。



## 【特許請求の範囲】

【請求項 1】 画素ごとに薄膜トランジスタが備えられた液晶表示装置に対して、前記各画素に印加される交流階調電圧信号の構成要素となる、振幅の異なる複数の交流電圧の中心電圧が、前記交流電圧ごとに異なる値に設定される液晶表示装置の駆動方法。

【請求項 2】 前記薄膜トランジスタのソースに前記複数の交流電圧の各々を入力するときのドレイン電圧の変動値をそれぞれ求め、前記交流電圧の任意の 2 つの中心電圧の差が、前記任意の 2 つの交流電圧の前記変動値の差に等しくなるように、前記中心電圧をそれぞれ設定する請求項 1 記載の液晶表示装置の駆動方法。

【請求項 3】 基準電圧発生回路、加算回路および減算回路を複数組合せて正負それぞれの極性をもつ最大振幅階調基準電圧および最小振幅階調基準電圧を発生し、それぞれの極性において最大および最小振幅階調基準電圧間を分割抵抗で分割することによってそれぞれ対応する複数の中間調の階調基準電圧を設定し、さらに交流化回路で、前記極性間に対応する各階調基準電圧を組合せて階調電圧を交流化し、前記交流階調電圧信号の構成要素として用いる請求項 1 または 2 記載の液晶表示装置の駆動方法。

【請求項 4】 前記正負それぞれの極性に対応する階調基準電圧を設定する分割抵抗において、各々の対応する抵抗の値が異なっている請求項 3 記載の液晶表示装置の駆動方法。

【請求項 5】 前記正負それぞれの極性をもつ最大振幅階調基準電圧および最小振幅階調基準電圧を発生させる対応する加算回路または減算回路が、異なる加算係数または減算係数を有する請求項 3 記載の液晶表示装置の駆動方法。

【請求項 6】 個別画素電極、該個別画素電極がドレイン電極に接続される薄膜トランジスタおよび該個別画素電極と誘電体膜を介して対向して補助容量を形成する補助容量電極からなる複数の画素がマトリクス状に設けられる第 1 の絶縁性透明基板と対向電極が設けられる第 2 の絶縁性透明基板とから構成され、前記第 1 および第 2 の絶縁性透明基板が、前記複数の個別画素電極と前記対向電極とが互に対向するように保持されるとともに、前記第 1 および第 2 の絶縁性透明基板の間に液晶材料が封入されてなる液晶表示装置であって、前記補助容量が、印加電圧に依存して容量値が変化する可変容量である液晶表示装置。

【請求項 7】 前記補助容量が印加電圧の増加につれて容量値の減少する可変容量である請求項 6 記載の液晶表示装置。

【請求項 8】 前記補助容量が p 型メタルインシュレータセミコンダクタダイオードと n 型メタルインシュレータセミコンダクタダイオードを直列接続して構成される請求項 6 または 7 記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜トランジスタを用いた液晶表示装置における表示特性の改善と長時間動作における信頼性向上を図った液晶表示装置およびその駆動方法に関する。

## 【0002】

【従来の技術】 図 10 は従来の階調表示薄膜トランジスタ（以下、TFT という）型ツイステッドネマティック（以下、TN という）液晶表示装置（以下、LCD という）のシステム構成例の図である。このシステムの表示回路の中間調表示法は階調電圧選択方式を用いている。この階調電圧選択方式では、表示回路で発生した複数の階調電圧をソースドライバ 17a、17b（以下、代表して 17 という）内で階調データに応じて選択することによって液晶パネル 18 に画像信号を入力している。ここで入力信号の R・G・B それぞれのデータは表示画像の赤・緑・青それぞれの色成分データ、CLK はドットクロック、Hsync または Vsync は各々表示画面の水平または垂直の同期信号である。表示回路は、ソースドライバ 17 およびゲートドライバ 16 にデータおよびタイミング信号を入力するタイミング制御回路 15、階調電圧、対向電極電圧、ゲート電圧、補助容量電極電圧をそれぞれ生成する階調電圧回路 11、対向電極電圧回路 12、ゲート電圧回路 13 および補助容量電極電圧回路 14 より構成されている。ソースドライバ 17 およびゲートドライバ 16 内では表示回路より入力された信号をもとに画像信号、走査信号を発生し、液晶パネル 18 に入力する。対向電極電圧と補助容量電圧はそれぞれの電圧回路 12、14 より直接液晶パネル 18 に入力される。

【0003】 図 11 はソースドライバ 17 の構成の一例を示すブロック図である。このようにサンプルパルス発生回路 21、データサンプル回路 22、ラッチ回路 23 および階調電圧選択回路 24 により構成されている。図 11 において CLK、R・G・B それぞれのデータはそれぞれ図 10 と同様であり、STP はスタートパルス、V0~V7 は 8 階調表示における前記階調電圧である。このようにソースドライバ 17 はデータサンプル回路 22 に入力されたデータ信号に基づき対応する階調電圧を階調電圧選択回路 24 で選択する。その結果選択された階調電圧は画像信号として液晶パネルのソース信号線に出力される。

【0004】 図 12 はノーマリーホワイト（以下、NW という）モードの場合における 8 階調表示の場合の TFT-LCD の電圧-透過率特性例の図である。TN 型 LCD において多階調表示を行うためには、表示階調に応じて交流振幅が変化する交流信号を液晶層に印加しなければならない。したがって図 12 の電圧は交流振幅電圧である。また T は液晶パネルの透過率である。V0~V7 は 8 階調表示のための前記階調電圧であり、100~0

(3)

5

%透過率の間の中間電圧を入力することによって中間調表示を実現できる。

【0005】図13はTFT-LCDにおける従来の階調電圧の波形図である。V0～V7は8階調表示における各階調電圧波形であり、V00はV0～V7の交流信号の中心電圧であり、従来の階調電圧設定法では8階調すべての階調電圧で中心電圧は一致していた。

【0006】図14はTFT-LCDの液晶パネルの等価回路図である。SLはソースライン、GLはゲートライン、Dはドレイン（画素）電極、COMは対向電極、STLは補助（蓄積）容量ラインである。

【0007】図15は平成5年2月19日の電子情報通信学会技術報告会EID92-117、21頁に記載されたTFTを用いた従来のTN型LCDの1画素の等価回路図である。Sはソース電極、Gはゲート電極、COMは対向電極、STは補助（蓄積）容量電極である。また、C<sub>lc</sub>は液晶容量、C<sub>gd</sub>はゲート・ドレイン間の寄生容量、C<sub>st</sub>は補助容量である。すなわち、TFT-LCDにおいてはTFTのゲート・ドレイン間の寄生容量C<sub>gd</sub>が生ずることが知られている。補助容量C<sub>st</sub>は液晶容量C<sub>lc</sub>に並列にドレイン電極に接続されているが、ある場合とない場合が考えられる。ドレイン電極、ソース電極、ゲート電極、対向電極、補助容量電極の電位をそれぞれ、V<sub>d</sub>、V<sub>s</sub>、V<sub>g</sub>、V<sub>com</sub>、V<sub>st</sub>とする。前述のように液晶層にはドレイン電極と対向電極間の電位差（V<sub>d</sub> - V<sub>com</sub>）が印加される。

【0008】図16は前記等価回路の各電極電圧の波形図である。ここでは、V<sub>com</sub>、V<sub>st</sub>としてともに直流電圧を用いた場合を示す。V<sub>gh</sub>およびV<sub>gl</sub>はそれぞれゲートのオン電圧およびオフ電圧である。また、V<sub>sa</sub>およびV<sub>so</sub>はソース信号の交流振幅電圧および中心電圧である。したがって、表示階調に応じてこのV<sub>sa</sub>値は変化する。ゲート電圧がオン期間（V<sub>gh</sub>となる期間）におい

\*  
表

\*て、ソースラインより入力した映像信号はドレイン電極に伝わり、V<sub>d</sub>がV<sub>s</sub>に一致する。そのうちゲート電圧の立ち下がりに同期して、ゲート・ドレイン間の寄生容量C<sub>gd</sub>を介した結合効果によってドレイン電圧は変動する。その変動電圧ΔV<sub>d</sub>は次式（1）で表わされる。

【0009】

【数1】

$$\Delta V_d = \frac{C_{gd}}{C_{lc} + C_{st} + C_{gd}} \cdot \Delta V_g \quad (1)$$

32 ここでΔV<sub>g</sub>はゲート電圧V<sub>g</sub>の変動量を表す。また、補助容量なしの場合にはC<sub>st</sub>=0を代入すればよい。ΔV<sub>g</sub>=V<sub>gl</sub>-V<sub>gh</sub>は常に負の値であるため、ΔV<sub>d</sub>も負の値となる。その結果、ソース交流信号に比べドレイン交流信号の中心電圧は低下してしまう。この電圧差が液晶に直流電圧として加わらないように、通常はV<sub>com</sub>をV<sub>so</sub>よりΔV<sub>d</sub>だけ低い値に調整する。すなわち、ドレイン電圧の変動分をV<sub>com</sub>によって補正することになる。

42 【0010】しかしながら、一般にTN液晶の比誘電率ε<sub>lc</sub>は図17に示すように印加電圧V<sub>sa</sub>値によって変化する。その結果C<sub>lc</sub>が変化し（1）式にしたがってΔV<sub>d</sub>値も変化する。したがって、全ての表示階調すなわちV<sub>sa</sub>値に対してΔV<sub>d</sub>の影響を取り除くことはできない。その1例として、図17に示した特性を有する液晶を用いた場合のΔV<sub>d</sub>値のV<sub>sa</sub>に対する変化の計算結果を表1に示す。ここではC<sub>st</sub>=0.8pF、C<sub>gd</sub>=0.1pF、ΔV<sub>g</sub>=25Vとした。このように、仮にV<sub>com</sub>の補正値をΔV<sub>d</sub>の最大値と最小値の平均値である2.33Vに合わせたとしても、V<sub>sa</sub>=0Vと4Vにおいてそれぞれ+0.13V、-0.13Vの直流電圧が液晶層に加わってしまう。

【0011】

【表1】

1

階調	V <sub>sa</sub>	C <sub>lc</sub>	ΔV <sub>d</sub>
V0	0V	0.12pF	2.46V
V1	1.6V	0.13pF	2.42V
V2	1.8V	0.15pF	2.38V
V3	2.0V	0.16pF	2.35V
V4	2.2V	0.18pF	2.32V
V5	2.4V	0.19pF	2.29V
V6	2.8V	0.21pF	2.25V
V7	4.0V	0.24pF	2.20V

また、補助容量なしの場合のΔV<sub>d</sub>値のV<sub>sa</sub>に対する変

72 化の計算結果例を表2に示す。同様にC<sub>gd</sub>=0.1p

F、 $\Delta V_g = 2.5 \text{ V}$ とした。このように、仮に $V_{com}$ の補正值を $V_d$ の最大値と最小値の平均値である $9.43 \text{ V}$ に合わせたとしても、 $V_{sa} = 0 \text{ V}$ と $4 \text{ V}$ においてそれぞれ $+2.04 \text{ V}$ 、 $-2.05 \text{ V}$ の直流電圧が液晶層に加わってしまう。このように、一般に補助容量がない場合\*

\*には $\Delta V_d$ の変化によって液晶に加わる直流電圧は補助容量がある場合に比べて大きくなる。

【0012】

【表2】

2

階調	$V_{sa}$	$C_{lc}$	$\Delta V_d$
V0	0 V	0.12 pF	11.47 V
V1	1.6 V	0.13 pF	10.68 V
V2	1.8 V	0.15 pF	10.00 V
V3	2.0 V	0.16 pF	9.51 V
V4	2.2 V	0.18 pF	8.96 V
V5	2.4 V	0.19 pF	8.56 V
V6	2.8 V	0.21 pF	8.07 V
V7	4.0 V	0.24 pF	7.38 V

【0013】

【発明が解決しようとする課題】以上のように、従来の階調電圧選択方式による中間調表示法では、ゲート・ドレイン間の寄生容量に基づきドレイン電圧が信号電圧に依存して $\Delta V_d$ シフトする。またドレイン電圧はさらに液晶容量の電圧依存性によっても変化するため、信号電圧に依存して $\Delta V_d$ シフトする。

【0014】そのためドレイン電圧の $\Delta V_d$ の変化によって液晶層に直流電圧が加わり、焼きつけとかフリッカなどに基づく表示不良が発生し、さらに長時間表示における信頼性が低下するという問題がある。

【0015】本発明はこのような問題を解決して階調電圧に応じてその中心電圧を変化させることにより、液晶層に直流電圧が印加されないようなLCDの駆動方法を提供することを目的とする。

【0016】本発明の他の目的はLCD内に階調電圧の変化に応じて液晶容量の電圧による変化と反対特性の可変容量を並列に付加し、前述の $\Delta V_d$ の変化をキャンセルするようにすることにより、液晶層に直流電圧が印加されないようなLCDを提供することにある。

【0017】

【課題を解決するための手段】本発明のLCDの駆動方法は、画素ごとに薄膜トランジスタが備えられた液晶表示装置に対して、前記各画素に印加される交流階調電圧信号の構成要素となる、振幅の異なる複数の交流電圧の中心電圧が、前記交流電圧ごとに異なる値に設定されるものである。

【0018】前記薄膜トランジスタのソースに前記複数の交流電圧の各々を入力するときのドレイン電圧の変動値をそれぞれ求め、前記交流電圧の任意の2つの中心電

圧の差が、前記任意の2つの交流電圧の前記変動値の差に等しくなるように、前記中心電圧をそれぞれ設定することが、液晶層に加わる直流電圧を減少させるという点から好ましい。

【0019】さらに基準電圧発生回路、加算回路および減算回路を複数組合せて正負それぞれの極性をもつ最大振幅階調基準電圧および最小振幅階調基準電圧を発生し、それぞれの極性において最大および最小振幅階調基準電圧間を分割抵抗で分割することによってそれぞれ対応する複数の中間調の階調基準電圧を設定し、さらに交流化回路で、前記極性間に対応する各階調基準電圧を組合わせて階調電圧を交流化し、前記交流階調電圧信号の構成要素として用いることが、交流電圧の中心電圧を容易に交流電圧ごとに異なる値に設定できるという点から好ましい。

【0020】また前記正負それぞれの極性の対応する階調基準電圧を設定する分割抵抗において、各々の対応する抵抗の値が異なっていることが、上記方法を達成する点から好ましい。

【0021】また前記正負それぞれの極性をもつ最大振幅階調基準電圧および最小振幅階調基準電圧を発生させる対応する加算回路または減算回路が、異なる加算係数または減算係数を有することが、上記方法を達成する点から好ましい。

【0022】本発明のLCDは、個別画素電極、該個別画素電極がドレイン電極に接続される薄膜トランジスタおよび該個別画素電極と誘電体膜を介して対向して補助容量を形成する補助容量電極からなる複数の画素がマトリクス状に設けられる第1の絶縁性透明基板と対向電極が設けられる第2の絶縁性透明基板とから構成され、前

記第1および第2の絶縁性透明基板が、前記複数の個別画素電極と前記対向電極とが互に対向するように保持されるとともに、前記第1および第2の絶縁性透明基板の間に液晶材料が封入されてなる液晶表示装置であつて、該補助容量が印加電圧に依存して容量値の変化する可変容量であることを特徴とする。

【0023】前記補助容量が印加電圧の増加につれて容量値の減少する可変容量であることが、液晶容量の電圧依存性を打ち消すために有効である。

【0024】前記補助容量がp型メタルインシュレータセミコンダクタダイオードとn型メタルインシュレータセミコンダクタダイオードを直列接続して構成され、液晶容量の電圧依存性を打ち消す容量を容易にうることができるため好ましい。

【0025】

【作用】本発明のLCDの駆動方法によれば、各階調の階調電圧の中心電圧を各階調におけるドレイン電圧変動値に応じて設定することによりドレイン電圧の変動によって発生する直流電圧を低減することができる。

\*

$$V_{i0} = V_{d0} + (\Delta V_d(V_i) - \Delta V_d(V_j))$$

$$(i = 0 \sim 7) \quad (2)$$

ここで $V_{d0}$ は中心電圧の基準電圧、 $\Delta V_d(V_i)$ 、 $\Delta V_d(V_j)$ はそれぞれ階調 $i$ 、 $j$ におけるドレイン電圧の変動値である。 $j$ は $j = 0 \sim 7$ の特定の1つの階調をとる。

$$V_{com} = V_{d0} - \Delta V_d(V_j)$$

(3)

前述の表1における補助容量ありの液晶パネルの階調電圧設定に対し(2)、(3)式で表される本発明を用いた設定例を表3に示す。

★

表 3

階調	$\Delta V_d$	$V_{i0}$	$V_{70} - V_{i0}$
V0	2.46	9.76	0.26
V1	2.42	9.72	0.22
V2	2.38	9.68	0.18
V3	2.35	9.65	0.15
V4	2.32	9.62	0.12
V5	2.29	9.59	0.09
V6	2.25	9.55	0.05
V7	2.20	9.50	0.00

$V_{i0}$ : 階調 $i$ の階調電圧の中心電圧設定値

ここで $V_{i0}$ は階調 $i$ の階調電圧の中心電圧である。まず中心電圧の基準電圧 $V_{d0}$ を設定し、ここでは $V_{d0} = 9.5V$ とした。つぎに $j = 7$ を選択することにより、

☆

$$V_{i0} = V_{d0} + (\Delta V_d(V_i) - \Delta V_d(V_7)) \quad (4)$$

また(3)式より次式(5)が導かれる。

$$V_{com} = V_{d0} - \Delta V_d(V_7) \quad (5)$$

\*【0026】本発明のLCDの駆動方法によれば、ドレイン電圧の交流振幅電圧の増加に伴う液晶容量変化特性と逆に容量変化特性を補助容量が有するため、液晶容量変化の効果を打ち消し、ドレイン変動電圧のドレイン電圧による変化を抑制することができる。その結果、ドレイン電圧を変化させたときに液晶に加わる直流電圧を低減でき、フリッカ、焼きつきなどの表示不良を低減でき、同時に長時間動作における信頼性を向上できる。

【0027】

【実施例】

【実施例1】図1は本発明の8階調表示TFT-LCDの場合における実施例を説明する階調電圧設定図である。図中の階調電圧 $V_0 \sim V_7$ は図13におけるものと同様であり、 $V_{00} \sim V_{70}$ は各々階調電圧 $V_0 \sim V_7$ の中心電圧である。ここで各階調の中心電圧 $V_{00} \sim V_{70}$ を各階調のドレイン電圧の変動値に応じて次式(2)のように設定する。

【0028】

※。コモン電圧については次式(3)のように設定する。

【0029】

★【0030】

【表3】

☆(2)式から次式が導かれる。

【0031】

【0032】

(6)

32

その結果  $V_{i0}$  が階調  $i$  の  $\Delta V_d$  値に応じて補正された中心電圧となる。この場合変動後のドレイン電圧の中心電圧は  $V_{com}$  に一致し、液晶層に加わる直流電圧の発生を抑えることができる。

【0033】この階調電圧の設定法をフローチャートで図 2 に示す。まずパネルに固有な  $\Delta V_d$  の  $V_{sa}$  依存性の測定もしくは計算を行う (S1 参照)。すなわち、

(1) 式により  $\Delta V_d$  を求める。つぎに基準となる中心電圧  $V_{d0}$ 、階調  $j$ 、 $V_{com}$  の計算、設定を行う (S2 参照)。すなわち  $V_{d0}$  を設定し、階調  $j$  を選択して (3) 式によりコモン電圧  $V_{com}$  を計算する。ついで各階調の中心電圧  $V_{i0}$  を決定する (S3 参照)。すなわち  $j$  をたとえば 7 に定めて (2) 式により  $V_{i0}$  を計算する。つぎ\*

$$V_{i0} = V_{d0} + \{ \Delta V_d (V_i) - (\Delta V_{dmax} + \Delta V_{dmin}) / 2 \}$$

(6)

$$V_{com} = V_{d0} - (\Delta V_{dmax} + \Delta V_{dmin}) / 2$$

(7)

ここで  $\Delta V_{dmax}$  および  $\Delta V_{dmin}$  はそれぞれ  $\Delta V_d$  の最大値、最小値である。前述の表 1 における補助容量ありの液晶パネルの階調電圧設定に対して (6)、(7) 式に※

\*に階調電圧を計算する (S4 参照)。すなわち S3 で求めた各階調の中心電圧  $V_{i0}$  を用い、ハイ側の電圧を  $V_{sh}(i) = V_{i0} + V_{sa}(i)$ 、ロー側の電圧を  $V_{sl}(i) = V_{i0} - V_{sa}(i)$  で求める。最後に回路の設定を行う (S5 参照)。すなわち後述する階調電圧回路 (図 3 参照) の分割可変抵抗  $VR1 \sim VR14$  を調整するとともに、加算、減算回路 4a、4b、5a、5b の係数を計算により求めるか、オシロスコープで観測しながら設定する。

32 【0034】また、前述の階調電圧の中心電圧は次式にしたがって  $V_{i0}$ 、 $V_{com}$  を設定することによっても同様にえられる。

【0035】

$$V_{i0} = V_{d0} + \{ \Delta V_d (V_i) - (\Delta V_{dmax} + \Delta V_{dmin}) / 2 \}$$

(6)

※したがって本発明を用いた設定例を表 4 に示す。

【0036】

【表 4】

4

階調	$\Delta V_d$	$V_{i0}$	$V_{d0} - V_{i0}$
V0	2.46	9.63	0.13
V1	2.42	9.59	0.09
V2	2.38	9.55	0.05
V3	2.35	9.52	0.02
V4	2.32	9.49	-0.01
V5	2.29	9.46	-0.04
V6	2.25	9.42	-0.08
V7	2.20	9.37	-0.13

$V_{i0}$  : 階調  $i$  の階調電圧の中心電圧設定値

$V_{d0}$  : 階調電圧の中心電圧の基準電圧

ここで  $V_{d0} = 9.5V$  とした。また  $\Delta V_{dmax} = 2.46V$ 、 $\Delta V_{dmin} = 2.20V$  である。この場合にも  $V_{i0}$  が階調  $i$  の  $\Delta V_d$  値に応じて補正された中心電圧となり、直流電圧の発生を抑えることができる。

【0037】【実施例 2】前述の表 2 における補助容量

なしの液晶パネルの階調電圧設定に対し、(4)、(5) 式で表される本発明を用いた設定例を表 5 に示す。

62 【0038】

【表 5】

階調	$\Delta V_d$	$V_{i0}$	$V_{70} - V_{i0}$
V0	11.47	13.59	4.09
V1	10.68	12.80	3.30
V2	10.00	12.12	2.62
V3	9.51	11.63	2.13
V4	8.96	11.08	1.58
V5	8.56	10.68	1.18
V6	8.07	10.19	0.69
V7	7.38	9.50	0.00

$V_{i0}$  : 階調  $i$  の階調電圧の中心電圧の設定値

ここでは実施例1と同様に階調電圧の中心電圧 $V_{i0}$ は(4)式にしたがって設定されている。ここで $V_{d0} = 9.5V$ である。コモン電圧は(5)式にしたがって設定されている。その結果 $V_{i0}$ が階調 $i$ の $\Delta V_d$ 値に応じて補正された中心電圧となる。この場合変動後のドレイン電圧の中心電圧は $V_{com}$ に一致し、液晶層に加わる直

\*流電圧の発生を抑えることができる。

【0039】また表2における補助容量なしの液晶パネルの階調電圧設定に対する(6)、(7)式で表される各階調電圧の中心電圧設定例を表6に示す。

【0040】

【表6】

6

階調	$\Delta V_d$	$V_{i0}$	$V_{d0} - V_{i0}$
V0	11.47	11.55	2.05
V1	10.68	10.76	1.26
V2	10.00	10.05	0.55
V3	9.51	9.59	0.09
V4	8.96	9.03	-0.47
V5	8.56	8.63	-0.87
V6	8.07	8.14	-1.36
V7	7.38	7.45	-2.05

$V_{i0}$  : 階調  $i$  の階調電圧の中心電圧設定値

$V_{d0}$  : 階調電圧の中心電圧の基準電圧

階調電圧の中心電圧 $V_{i0}$ は(6)式にしたがって設定されている。ここで $V_{d0} = 9.5V$ としている。コモン電圧は(7)式にしたがって設定されている。そしてこの場合でも $V_{i0}$ が階調 $i$ の $\Delta V_d$ 値に応じて補正された中心電圧となり、直流電圧の発生を抑えることができる。表2では前述のように補助容量なしのために階調の違いによる $V_{00} \sim V_{70}$ の $\Delta V_d$ 値の違いは補助容量ありの場合である表1より大きくなっている。しかし本発明では $V_{i0}$ の設定を階調電圧設定上の中心電圧を変更することのみで補助容量なしの場合にも直流電圧の発生を抑えることができる。したがって本発明を採用することによ

て補助容量を取り除くことができる。

【0041】【実施例3】実施例1、2の実現法の例を図3に示す。図3は8階調表示における階調電圧回路の1例を示すブロック図である。図のように回路は基準電圧 $V_{ro}$ 発生回路1、基準電圧 $V_{rb}$ 発生回路2、基準電圧 $V_{rc}$ 発生回路3、加算回路4a、4b、減算回路5a、5b、分割可変抵抗 $VR1 \sim VR14$ 、交流化回路6より構成されている。基準電圧 $V_{ro}$ 発生回路1から出力される基準電圧 $V_{ro}$ に対し基準電圧 $V_{rb}$ 発生回路2で発生した基準電圧 $V_{rb}$ を加算、減算することにより正負最大振幅階調基準電圧 $V_{7U}$ 、 $V_{7L}$ を発生する。さらにV



7U、V7Lに基準電圧Vrcを減算／加算することにより、正負最小振幅階調基準電圧VOU、VOLを発生する。さらに、V7UとVOUの間、およびV7LとVOLの間を分割可変抵抗VR1～VR14で分割することによって中間調の階調基準電圧を設定する。交流化回路6では各階調の正負の極性の階調基準電圧を垂直走査周期毎または水平周期毎に選択切り替えることにより交流化された階調電圧を生成する。従来の階調電圧発生回路では分割抵抗VR1～VR14の設定値はVR1とVR14、VR2とVR13、というように図中の上下方向に対称の位置にある分割抵抗で各階調の中心電圧を同じにするために同じ値に設定される。この分割抵抗の値を調整することによって、本発明の階調間の $\Delta V_d$ の違いに応じて各階調電圧の中心電圧をずらした設定を容易に実現できる。またVR1～VR14に固定抵抗を用いて分割抵抗を構成した場合においても、その抵抗値を上下対称の位置で異ならせることにより同様に前述の階調間の $\Delta V_d$ の違いに応じて各階調電圧の中心電圧をずらした設定を実現できる。

【0042】【実施例4】従来の階調電圧発生回路では図3の加算、減算回路の係数は正極性側と負極性側で同じになっている。この係数を正負極性間で調整することによって、本発明の階調間の $\Delta V_d$ の違いに応じて各階調電圧の中心電圧をずらした設定を容易に実現できる。

【0043】以上の各実施例については、8階調表示における階調電圧の設定方法について述べたが、本発明は任意の階調表示に対しても同様に有効である。

【0044】【実施例5】以上の各実施例では階調電圧の中心電圧をずらしてゲート・ドレイン間の寄生容量や電圧による液晶容量の変化を抑制したが、本実施例では液晶容量の変化と逆の変化をする容量可変補助容量を設けることにより改善を図るものである。

【0045】図4は本発明のLCDの第1の実施例を説明するTFTを用いたTN型LCDの1画素の等価回路図である。ここでCstvは電圧によって容量値が変化する容量可変補助（蓄積）容量であり、STVは容量可変補助容量電極である。

【0046】図4の等価回路を有するTN型LCDの画素が、たとえば図5によって示される。(a)は平面図、(b)はそれをAAによって切断する面を横方向からみた断面図である。第1および第2の絶縁性透明基\*

32

\*板31、32上には、図5に示される画素が複数マトリクス状に配列される。図5において、ソースラインSLの一部をソース電極、ゲートラインGLの一部をゲート電極とする薄膜トランジスタのドレイン電極36が、個別画素電極34と接続される。この個別画素電極34は液晶材料33を介して対向電極37と対向して画素容量C<sub>lc</sub>を形成する。さらに、個別画素電極34は、誘電体膜35を介して補助容量電極STVと対向し、補助容量Cstvを形成する。本実施例では、この補助容量Cstvが印加電圧によって容量値が変化する可変容量とされる。図5においては詳細が示されないが、誘電体膜35の材料の選択や、この補助容量Cstvの構造そのものの置き換えにより、このような可変容量の構成が可能となる。この可変補助容量Cstvの特性の設計について以下に記述する。なお、図5において、38は薄膜トランジスタのチャネル領域となるシリコン層、40はゲート絶縁膜層、39、41は配向膜層である。また、補助容量電極STVは隣の行もしくは列に位置する画素のゲートラインGLと兼用することも可能である。

42

【0047】図6はCstvの印加電圧と容量値の関係を示す特性図である。ここで、Coは容量の最大値、Cmは容量の最小値、Voは容量が最大値をとるときの電圧値、Vm1、Vm2は容量が最小値をとるときの第1および第2の電圧値である。Vh1はVoとVm1の中間電圧（ $Vh1 = (Vo + Vm1) / 2$ ）であり、Ch1（図ではCh）はVh1における容量値である。Vh2はVoとVm2の中間電圧（ $Vh2 = (Vo + Vm2) / 2$ ）であり、Ch2（図ではCh）はVh2における容量値である。ここで、容量可変補助容量の構成材料、構造などによって調整することにより図6に示した電圧、容量値を液晶容量変化の効果を抑制するように設定する。たとえば前述の表1の液晶容量変化の効果を抑制するようにCstvの特性を設定した場合は以下ようになる。Co=0.7pF、Ch=0.65pF、Cm=0.6pFであり、Vo-Vm1=Vm2-Vo=4Vである。そして、図4のSTVにVoを印加することによって、CstvにはVd-Voが印加される。このときのドレイン電圧変動値 $\Delta V_d$ の計算結果を表7に示す。

52

【0048】

【表7】

62

7

Vsa	C <sub>lc</sub>	Cstv	$\Delta V_d$
0V	0.12pF	0.7pF	2.66V
2V	0.16pF	0.65pF	2.74V
4V	0.24pF	0.6pF	2.72V

ここで、 $\Delta V_d$ は(1)式のCstにVd-Voによって変

化するCstvの値を代入して求めた。表7に示すように

$\Delta V_d$ の変化は0.08V以下になっており、従来の0.26Vに比べて1/3以下に低減できた。したがって $V_{com}$ を $V_{d0}-2.7V$ に設定することによって階調変化によって液晶層に印加される直流電圧は0.04V以下に抑えられる。以上のような容量可変補助容量を実現する方法として、図7に示すような交流振幅電圧 $V_{sa}$ の増加に伴って誘電率 $\epsilon_{stv}$ が減少するような $V_{sa}-\epsilon_{stv}$ 特性を有する材料を $C_{stv}$ の誘電体として用いられたい。これは表1の特性と正反対の交流振幅電圧依存性である。

【0049】また、このような容量可変補助容量を実現する方法として、図8に示すようなn型非晶質シリコン(a-Si(n))膜と窒化シリコン(SiNx)膜で構成されるメタルインシュレータセミコンダクタ(以下、MISという)ダイオードと、p型非晶質シリコン(a-Si(p))膜と窒化シリコン(SiNx)膜で構成されるMISダイオードとを直列接続した構造が考えられる。このような容量可変補助容量を従来の補助容量に代えて画素電極の下に一方の電極を画素電極とし、他方の電極をITOなどの透明導電膜で設けることにより、開口率には影響を与えない。この場合の補助容量値 $C_{stv}$ はn型MISダイオードの容量 $C_n$ とp型MISダイオードの容量 $C_p$ の合成容量として次式(8)で表される。

【0050】

【数2】

$$C_{stv} = \frac{C_n \cdot C_p}{C_n + C_p} \quad (8)$$

図9はこの構造において図6に示した $C_{stv}$ 特性をうるための $C_n$ 、 $C_p$ 値の設定方法を説明する特性図である。図9に示すようにMISダイオードの電圧-容量特性はp型で右下がり、n型で左下がりの特性を示す。このように、p、n型ダイオードにおいて最大および最小容量値は一致しており、それぞれの値を $C_2$ および $C_1$ とする。また、容量値が変化しはじめる電圧値も $V_0$ に一致している。その結果、合成容量の最大値は $C_0=C_2/2$ 、最小値は $C_m=C_1 \cdot C_2 / (C_1 + C_2)$ となる。両ダイオードにおいて容量の最大値はSiNx膜の誘電特性のみで決まる容量値であるため、両者において同構造、同材料のSiNx膜を採用することによって図9に示すように $C_2$ に一致させることが可能である。一方、両ダイオードにおいて容量の最小値はa-Si膜中に空乏層が形成されa-Si膜の誘電特性がSiNx膜の特性に加わった合成容量値になる。これについても、a-Si膜の誘電率、膜厚などを調整することによって図9に示すように $C_1$ に一致させることができる。n型およびp型ダイオードにおいて容量値が変化しはじめる電圧は、a-Si膜中のそれぞれドナーおよびアクセプター不純物量の制御によって調整可能である。したがって、図9のように両者の容量が変化しはじめる電圧はV

oに一致させることも可能である。

【0051】両ダイオードにおいてたとえば前記図6に示した $C_m$ 、 $C_0$ 値を達成するためには、MISダイオードの容量値を $C_2=1.6pF$ 、 $C_1=0.96pF$ に設定すればよい。これはダイオードの膜厚、電極面積などの構造ならびにSiNx膜およびa-Si膜の特性を調整することによって実現できる。

【0052】

【発明の効果】本発明の階調電圧設定方法によれば、直流電圧を低減することによりフリッカ、焼きつけなどの表示不良を改善し、さらに長時間表示の信頼性を向上させることができる。さらに、本発明を採用することによって補助(蓄積)容量を取り除くことが可能となり、液晶パネルの構造を単純化することができるためコスト低減にもつながる。

【0053】また、本発明のLCDによれば、ドレイン電圧の交流振幅電圧の増加に伴う液晶容量変化特性と逆の容量変化特性を補助容量が有するため、液晶容量変化の効果を打ち消し、ドレイン変動電圧のドレイン電圧による変化を抑制することができる。そして、ドレイン電圧を変化させたときに液晶層に加わる直流電圧を低減できる。その結果、液晶表示装置のフリッカ、焼きつけなどの表示不良を低減でき、同時に長時間動作における信頼性を向上することができる。

【図面の簡単な説明】

【図1】 本発明におけるTFT-LCDの階調電圧を説明する図である。

【図2】 本発明のLCD駆動方法の一実施例である階調電圧設定方法のフローチャートである。

【図3】 本発明のLCD駆動方法の一実施例の階調電圧設定回路図である。

【図4】 本発明のLCDの一実施例の1画素の等価回路図である。

【図5】 本発明のLCDの一実施例の1画素の平面図および断面図である。

【図6】 本発明のLCDの容量可変補助容量の印加電圧と容量値の関係を示す図である。

【図7】 本発明のLCDの容量可変補助容量の交流振幅電圧に対する比誘電率の変化を示す図である。

【図8】 本発明のLCDの容量可変補助容量の一例の構成図である。

【図9】 図6に示した $C_{stv}$ 特性をうるための $C_n$ 、 $C_p$ 値の設定方法を説明する図である。

【図10】 薄膜トランジスタ型TN-LCDのシステム構成例図である。

【図11】 TFT-LCD用ソースドライバのブロック図である。

【図12】 NWモードTN-LCDの電圧-透過率特性例図である。

【図13】 従来のTFT-LCDの階調電圧の波形図

である。

【図14】 TFT-LCDの液晶パネルの等価回路図である。

【図15】 TFT-LCDの1画素の等価回路図である。

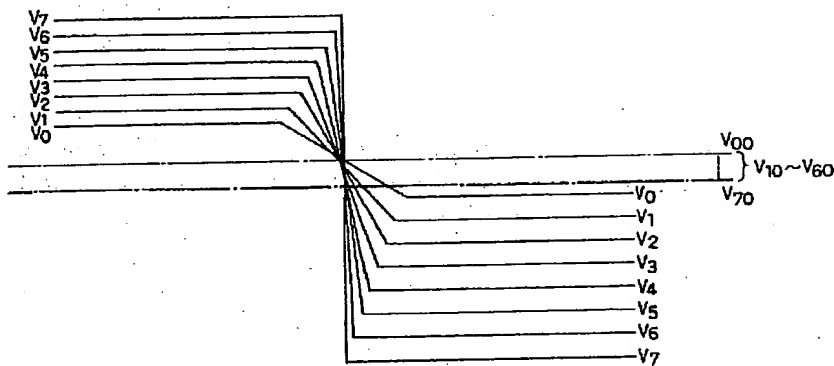
【図16】 図15の等価回路の各電極電圧の波形図である。

【図17】 液晶材料の印加電圧に対する比誘電率の関係を示す図である。

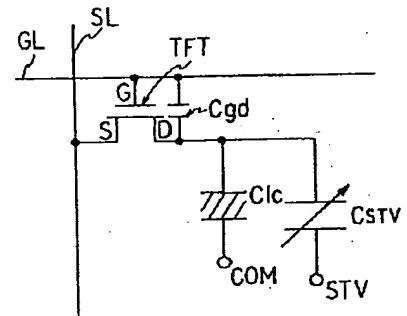
### 【符号の説明】

1 基準電圧 $V_{ro}$ 発生回路、2 基準電圧 $V_{rb}$ 発生回路、3 基準電圧 $V_{rc}$ 発生回路、4 a、4 b 加算回路、5 a、5 b 減算回路、6 交流化回路、31 第1の絶縁性透明基板、32 第2の絶縁性透明基板、33 液晶材料、34 個別画素電極、35 誘電体膜、36 ドレイン電極、37 対向電極、VR1~VR14 分割可変抵抗、Cgd 寄生容量、C<sub>lc</sub> 液晶容量、Cstv 容量可変補助容量。

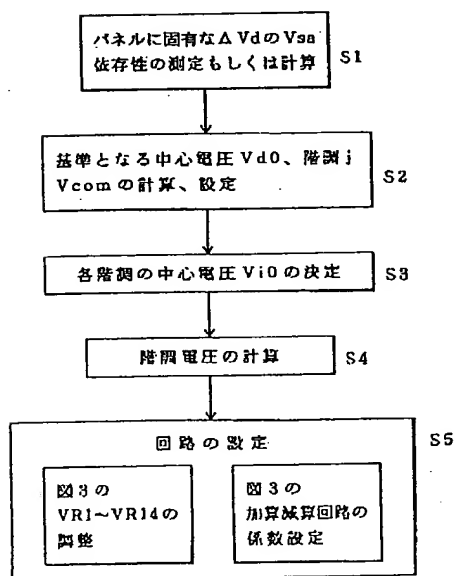
【図1】



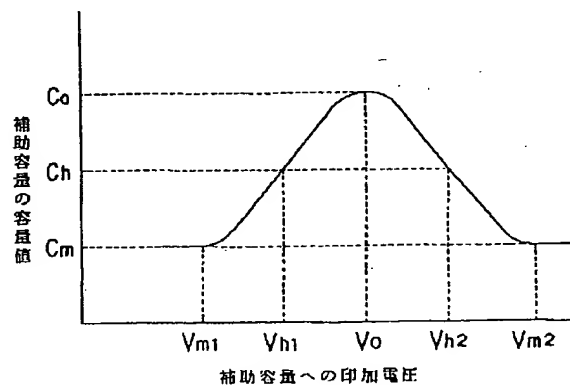
【図4】



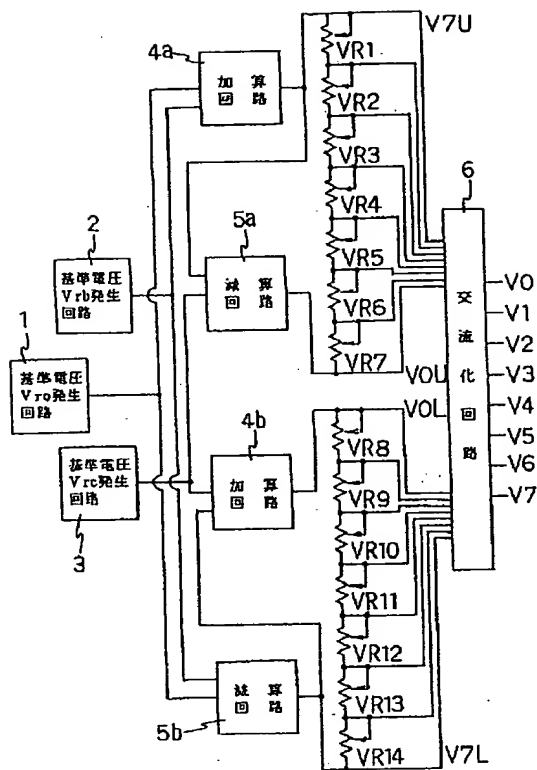
【図2】



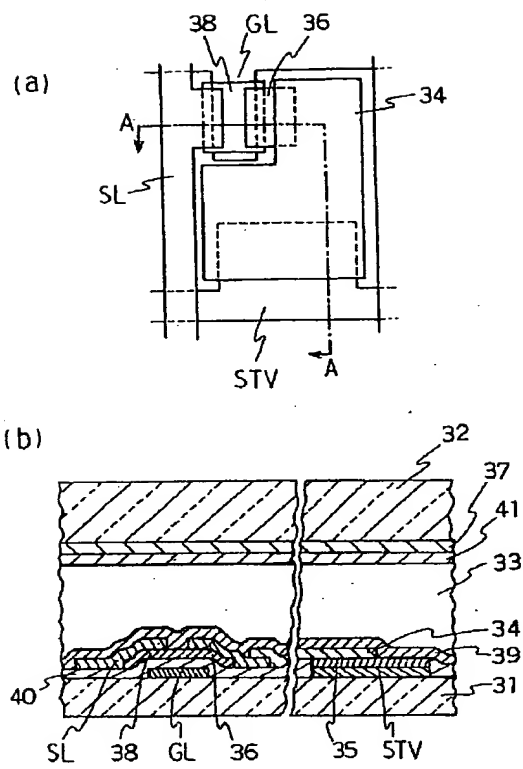
【図6】



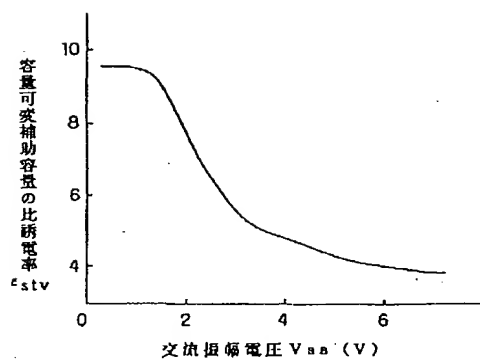
【図3】



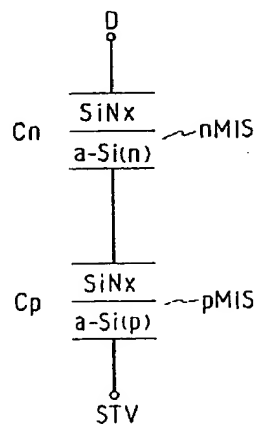
【図5】



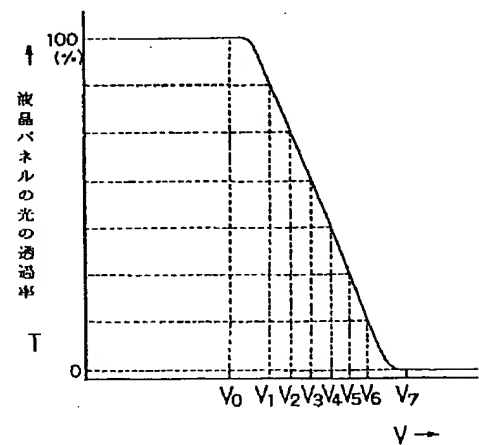
【図7】



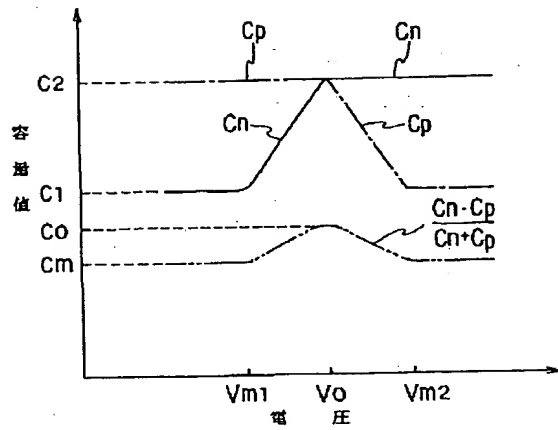
【図8】



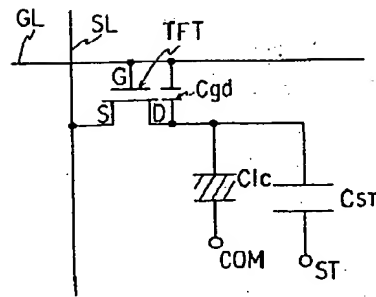
【図12】



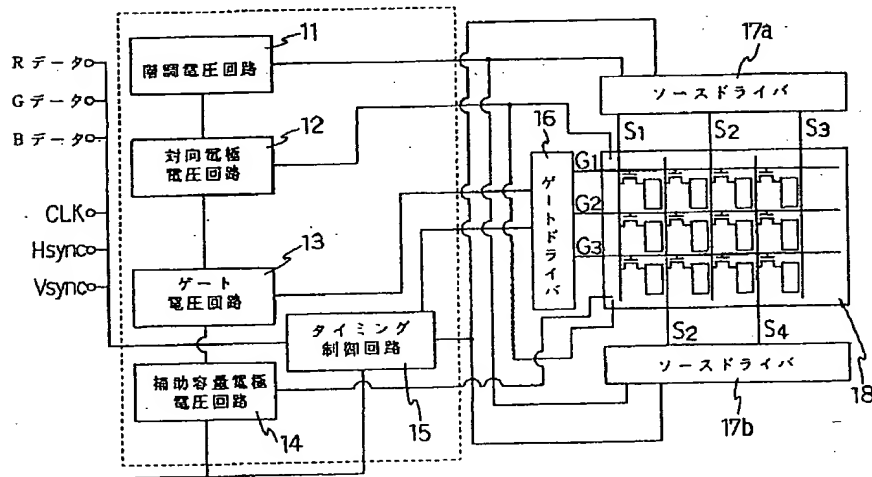
【図9】



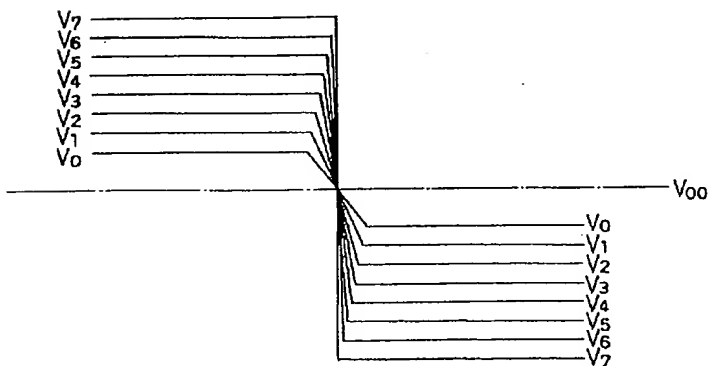
【図15】



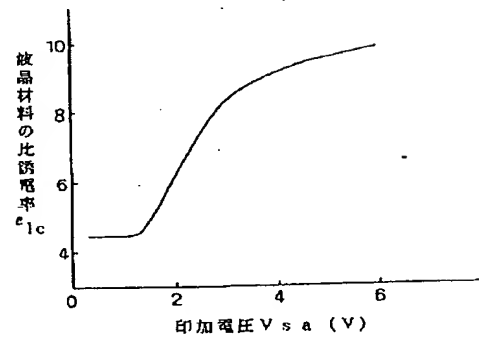
【図10】



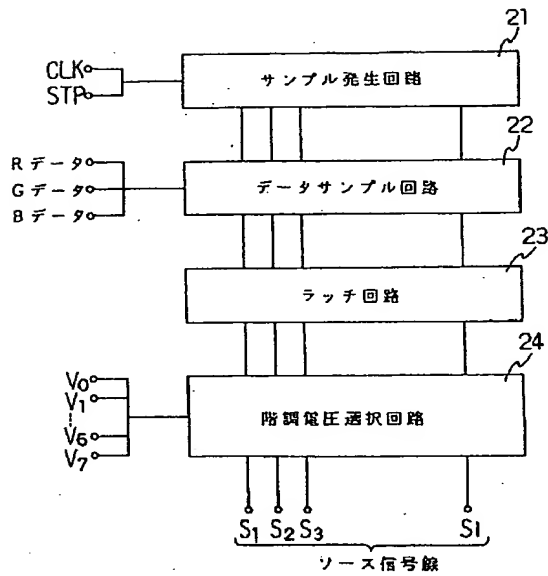
【図13】



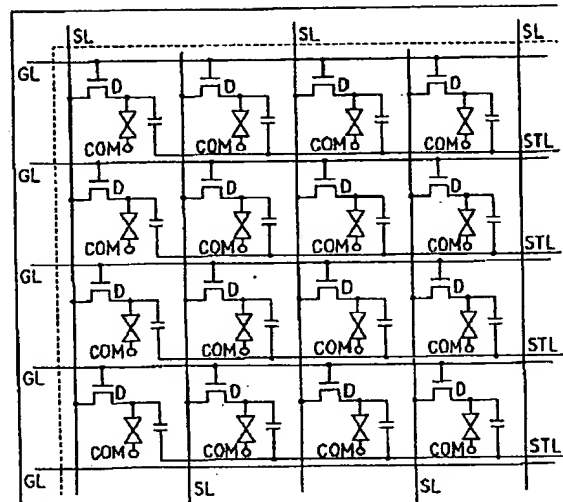
【図17】



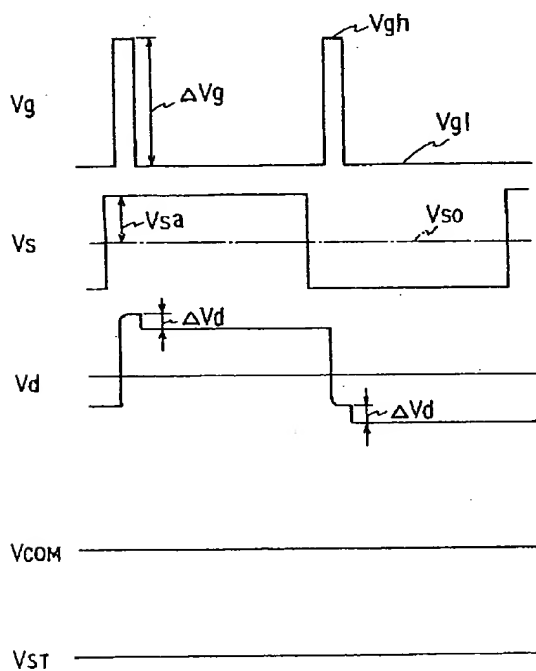
【図 11】



【図 14】



【図 16】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所